

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-211774

(43)Date of publication of application : 19.09.1986

(51)Int.Cl.

G06F 15/347

G06F 9/38

(21)Application number : 60-053705

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1985

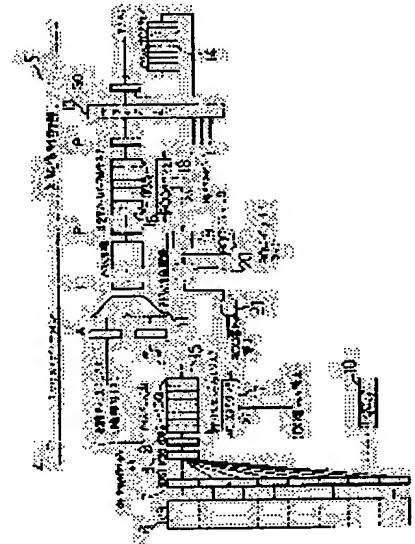
(72)Inventor : KITAJIMA MASAKI
NAKATANI SHOJI

(54) VECTOR PROCESSOR

(57)Abstract:

PURPOSE: To make fast the rise of an indirect address instruction and to simplify a control by controlling a reading to the first address buffer register from a vector register in the value of the first address information counter, and controlling an address producing operation by the value of the second address information.

CONSTITUTION: During performing an indirect address command, an address read from a vector register VR 6 phases through reading registers 7, 8, 9 to write in the first address buffer register IDQ 15. VR6 has no release signal of a stage A, prohibits the reading when the value of an IOQ counter 17 is above a fixed value, and reopens the reading when the release signal is turned on. Accordingly, in the IOQ 15, the maximum number of data from the VR 6 is constantly contained. The first and the second address buffer registers RQQ counter 18 is above a fixed value, and reopens a transmitting of the request when the value of the RQQ counter 18 is below the fixed value. Thereby, an address information required for producing a request address can be immediately obtained from the IDQ 15 and the rise becomes fast.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭61-211774

⑤ Int.Cl.

G 06 F 15/347
9/38

識別記号

庁内整理番号

7056-5B
A-7361-5B

④ 公開 昭和61年(1986)9月19日

審査請求 未請求 発明の数 1 (全9頁)

⑥ 発明の名称 ベクトル処理装置

⑪ 特 願 昭60-53705

⑫ 出 願 昭60(1985)3月18日

| | | | |
|---------|------------|------------------|----------|
| ⑬ 発 明 者 | 北 島 正 樹 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑭ 発 明 者 | 中 谷 彰 二 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑮ 出 願 人 | 富士通株式会社 | 川崎市中原区上小田中1015番地 | |
| ⑯ 代 理 人 | 弁理士 長谷川 文廣 | 外1名 | |

明 細 書

1. 発明の名称

ベクトル処理装置

2. 特許請求の範囲

(1) 各々が1個または複数個よりなるベクトルレジスタおよび主メモリと、前記ベクトルレジスタおよび主メモリ間でデータを転送するアクセスバイブラインとをもつベクトル処理装置において、

アドレス生成回路と、ベクトルレジスタとアドレス生成回路との間に1つないしは複数個のアドレス情報を蓄積可能とする第1のアドレスバッファレジスタと、アドレス生成回路から出力される主メモリへの1個ないし複数個のリクエストアドレスを蓄積する第2のアドレスバッファレジスタと、第1のアドレスバッファレジスタの蓄積状況を管理する第1のアドレス情報カウンタと、アドレス生成回路及び第2のアドレスバッファレジスタの蓄積状況を管理する第2のアドレス情報カウ

ンクとを有するアドレス機構を設け、

間接アドレスロード命令あるいはストア命令の実行にあたって、ベクトルレジスタから第1のアドレスバッファレジスタへのアドレス情報の読出しが行なわれる制御は、第1のアドレス情報カウンタの値によって行なわれ、リクエストアドレスのためのアドレス生成は第2のアドレス情報カウンタの値によって制御するようにしたことを特徴とするベクトル処理装置。

(2) 前記第1項において、

ディスタンス付のロード命令あるいはストア命令の実行にあたって、リクエストアドレスのためのアドレス生成は、第2のアドレス情報カウンタの値によってのみ制御するようにしたことを特徴とするベクトル処理装置。

(3) 前記第1項において、

第1のアドレス情報カウンタは、第1のアドレスバッファレジスタにベクトルレジスタから書込まれるとき加算カウントし、第1のアドレスバッファレジスタからアドレス生成回路に読出される

とき減算カウントし、ベクトルレジスタからの読出し制御は、第1のアドレス情報カウンタがある一定値に達していないことによって読出し可能であるようにしたことを特徴とするベクトル処理装置。(4)前記第1項、第2項、第3項において、

第2のアドレス情報カウンタは、主メモリへのアクセスリクエストが出されるたびに加算カウントし、第2のアドレスバッファレジスタから読み出されるたびに減算カウントし、第2のアドレスバッファレジスタへの転送と、アドレス生成条件または第1のアドレスバッファレジスタからの読出しの条件は、第2のアドレス情報カウンタがある一定値に達していないことによって行なわれるように制御することを特徴とするベクトル処理装置。

3. 発明の詳細な説明

(概要)

アクセスバイブラインのアドレス生成回路とベクトルレジスタとの間にアドレスバッファレジス

タを設け、間接アドレス命令の実行の際、アドレスバッファレジスタに一定の空きがある限り、ベクトルレジスタから、間接アドレスの内容(インデックス)を読み出ししておく。この読出し制御は、主メモリ側からリクエストアドレスキューの状態を示す情報を買わずに行なわれるので、アドレス生成の遅れを小さくできる。

(産業上の利用分野)

本発明はベクトル処理装置に関するものであり、特にベクトルレジスタと主メモリとの間でデータのロード、ストアを行なうアクセスバイブラインの制御に関する。

ベクトル処理装置において、メモリへアクセスする方法は2通りある。1つは主メモリ上である一定の距離をもって配置されている多数のデータを高速処理する場合にとられるディスタンス付きアクセスと、主メモリ内の離散的なデータを集めて実行するリストベクトルを高速処理する場合にとられる間接アドレスアクセスとである。

3

第2図(a)、(b)に、間接アドレスアクセスのロード、ストア命令の機能概要を示す。

これらの間接アドレス命令では、ベクトルレジスタ1内にインダイレクトデータすなわち主メモリ2内のベクトル要素d、ないしd₁を示すインデックス1、ないし1₁が入っているので、アドレス生成をする前にベクトルレジスタ1からそのインデックスデータを読む必要がある。このインデックスを先頭アドレスLAと加算することにより、リクエストアドレスが生成され、主メモリ2へ供給される。これにより、主メモリ2とベクトルレジスタ3との間でベクトル要素のロード(第2図(a))あるいはストア(第2図(b))が行なわれる。

第3図には、ある一定の距離(ディスタンスd)をもって主メモリのデータをアクセスするディスタンス付きロード、ストア命令の機能概要を示す。

これらの命令により、主メモリ2のディスタンスdだけ離れた多数のアドレスを順次アクセスす

4

るリクエストアドレスが作成され、ベクトルレジスタ3との間で、ベクトル要素のロード(第3図(a)参照)、ストア(第3図(b)参照)が行なわれる。

第4図は、従来装置における間接アドレスロード、ストア命令のアドレス機構の例を示し、第5図はそのアドレスタイムチャートを示す。

第4図において、4はアクセスバイブライン、5は主記憶制御部、6はベクトルレジスタVR、7ないし9はそれぞれ読出しレジスタRDR0、RDR1、RDR2である。また10はインダイレクトカウンタ、11はアドレス生成回路、12はアドレスバッファレジスタ、13はプライオリティ回路、14はアドレスバイブラインである。

構成を概略的に説明すると、ベクトルレジスタVRに格納されている複数のインダイレクトデータは、アクセスバイブライン4により順次選択され、読出しレジスタRDR0、RDR1、RDR2を経て、アドレス生成回路11内の加算器の一方へ入力される。インダイレクトカウンタ10は、インダイレクト命令のインダイレクトデータ数を

5

6

カウントする。加算器の他方の入力へは、ベースアドレス（先頭アドレス）を示す論理アドレスL_Aが与えられ、加算器はこれらを加算して、結果をアドレス生成回路11内のアドレス変換回路へ供給する。アドレス変換回路は、論理アドレスを物理アドレスに変換し、主記憶制御部5のアドレスバッファレジスタ12に供給する。アドレスバッファレジスタ12は、複数のレジスタ段で構成され、複数のリクエストアドレスをキュー管理する。プライオリティ回路13は、主メモリに対する各アクセス元からのリクエストについてプライオリティをとり、選択した1つのリクエストを主メモリへ転送し、アクセスを実行させる。

次に、第4図および第5図を参照して動作を説明する。ベクトルレジスタVR内にはそれぞれのベクトル要素を示すインダイレクトデータ（インデックス）が入っているため、アドレス生成をする前にベクトルレジスタVRのインダイレクトデータを読む必要がある。第5図のタイムチャートに示すように、予め間接アドレス命令の開始時点

にインダイレクトカウンタ10を所定値（ここでは12）にセットしておき、主記憶制御部5からリクエストがないことを示すQ-Empty信号が送出されていること及びアドレス生成回路11にリクエストが残っていないという条件で、ベクトルレジスタVRを読み出す。

さらに、13段分のインダイレクトデータを読み出した後には、主記憶制御部5のプライオリティ回路13によってプライオリティがとられたかどうかを認識して、13段のステージを遷移させる制御が行なわれていた。

しかしこの様にする事により、前の命令が完全には終わらない限り、すなわちアドレス生成回路11及び主記憶制御部5に前の命令で生成されたリクエストがひとつも残っていないという条件が満たされない限り、ベクトルレジスタVRから、次の間接アドレス命令のインダイレクトデータを読み出すことができなかった。

（発明が解決しようとする問題点）

7

以上のように、従来の装置では、後続の間接アドレス命令の立上りが遅れ、またプライオリティの条件によって13段のステートを遷移させるため、制御が複雑になるという問題があった。

（問題点を解決するための手段）

本発明は、上記した従来装置における問題点を解決するため、間接アドレス命令を実行する際、ベクトルレジスタとアドレス生成回路との間にアドレス情報（インダイレクトデータ）を一時的に保持する第1のアドレスバッファレジスタを設け、アドレス機構内に以前の命令のリクエストアドレスが存在しているか否かに関係なく、このアドレスバッファレジスタに一定の空きがあるという条件のみで、次の間接アドレス命令のアドレス情報を、ベクトルレジスタから第1のアドレスバッファレジスタへ読み出し可能にしておくものである。

このため、第1のアドレスバッファレジスタの空き状態を管理するため、アドレス情報の出し入れをカウントするアドレス情報カウンタを設け、

8

このアドレス情報カウンタの値によってベクトルレジスタから第1のアドレスバッファレジスタへのアドレス情報読み出しを制御する。

さらに、アドレス生成回路の出力側に生成されたリクエストアドレスを一時的に保持する第2のアドレスバッファレジスタを置くとともに、その空き状態を管理するため、リクエストアドレスの出し入れを管理する第2のアドレス情報カウンタを設ける。

そして、アドレス生成回路のアドレス生成動作は、第2アドレス情報カウンタの値によって制御されるようにするものである。

（作用）

本発明によれば、第1のアドレスバッファレジスタに一定の空きが生じると、第1のアドレス情報カウンタによって、ベクトルレジスタからアドレス情報が蓄込まれ、また第2のアドレスバッファレジスタに一定の空きが生じると、第2のアドレス情報カウンタによってアドレス生成回路が起

9

10

動される。アドレス生成回路がリクエストアドレスを生成するために必要なアドレス情報は、第1のアドレスバッファレジスタから直ちに得ることができるので、立上りが早くなる。

(実施例)

第1図は本発明の1実施例装置のアドレス機構の構成図である。また第6図(a)、(b)は第1アドレスバッファレジスタIDQのカウント制御タイムチャート、第7図は第2アドレスバッファレジスタRQQのカウント制御タイムチャートを示している。

第1図において、4はアクセスバイブライン、5は主記憶制御部、6はベクトルレジスタVR、7ないし9はそれぞれ読出しレジスタRDR0、RDR1、RDR2である。また10はインダイレクトカウンタ、11はアドレス生成回路、13はプライオリティ回路、14はアドレスバイブライン、15は第1アドレスバッファレジスタIDQ、16は第2アドレスバッファレジスタRQQ、

17はIDQカウンタ、18はRQQカウンタ、19はRQQ-FULL0ラッチ、20はRQQ-FULL1ラッチ、21はANDゲートを表わしている。なお、4ないし14の参照番号は、第4図に示されている従来装置のアドレス機構と共通に使用されている。

本実施例のアドレス機構は、第1アドレスバッファレジスタIDQ及び第2アドレスバッファレジスタRQQが設けられ、さらにIDQを管理するIDQカウンタ、RQQを管理するRQQカウンタがそれぞれ設けられていて、ベクトルレジスタVRからのインダイレクトデータの読出しを制御する様にしていることが特徴となっている。

次に第1アドレスバッファレジスタ(以後IDQという)及びIDQカウンタの説明をする。

第1図からわかるように、間接アドレス命令の実行時には、ベクトルレジスタVRから読出されたアドレスがRDR0、RDR1、RDR2を通過してIDQに書込まれる。そこでアドレスがIDQに書込まれたこと、もしくはベクトルレジスタ

1 1

から読出しが行なわれたことを条件としてIDQカウンタの値を+1し、またIDQからアドレスが読出されたことを条件で-1する。

そしてベクトルレジスタVRは、第6図(a)、(b)に示す様に、アドレス機構のステージAのリリース信号がなくて、IDQカウンタの値が"7"以上の時に読出しを禁止し、アドレス機構のステージAのリリース信号が再度ONになると読出しを再開してやるようにする。

これにより、IDQには、ベクトルレジスタVRからのデータが常時最大8個まで入れる様になり効率よく動作できる。

なお、第6図(b)は、ステージAからのリリースが連続して起っている場合の例を示している。この図でVRからIDQへアドレスが書込まれるたびにIDQカウンタはカウントアップしてゆく。

IDQカウンタの値が"5"となったときAのリリースが始まり、IDQからアドレスが1個読出されるとVRから1個書込まれ、IDQカウンタの値はしばらく"5"を保つ。その後VRから

1 2

書込むアドレスがなくなると、IDQからは読出しのみが続き、IDQカウンタ値は"0"までカウントダウンされる。

また第6図(b)は、ステージAのリリースが途中で止められた場合の例を示している。最初は第6図(a)と同様に動作し、途中でリリースが止まるため、IDQへは書込みのみとなる。そのためIDQカウンタは"7"までカウントアップし、ここでVRからの書込みを停止させる制御を行なう。

次に、アドレスバッファレジスタRQQ及びRQQカウンタの説明をする。

アドレスバッファレジスタRQQに書込まれる条件は、アドレス生成回路部11のステージRからのリクエストが出たということでRQQカウンタの値を+1し、RQQから読出される(プライオリティ回路13によってプライオリティがとられた)ということでRQQカウンタの値を-1してやる。

そしてRQQの書込みの禁止条件は、第7図に示す様に、RQQカウンタの値が"5"以上にな

1 3

1 4

ったならばRQQ-FULL0ラッチを"1"にし、次のタイミングでRQQ-FULL1ラッチを"1"にし、両方とも"1"の場合にANDゲートから禁止信号を出力し、リクエストを止める。

また、RQQカウンタの値が"4"以下になったならば、リクエスト発信を再開する。これにより、アドレスバッファレジスタRQQはオーバーフローすることがなく、また空きになることもなく、効率よく動作する。

ところで、第1図の実施例構成においてディスタンス付き命令を実行する場合には、第1アドレスバッファレジスタIDQおよびIDQカウンタは使用されず、アドレス生成回路11内の加算器の一方の入力には、ディスタンスdが印加され、他方の入力の論理アドレスに加算される。

この場合のアドレス生成回路の動作は、間接アドレス命令の実行のときと同様に、第2アドレスバッファレジスタRQQと、RQQカウンタの状態によって制御される。

〔発明の効果〕

以上説明してきた様に、本発明によればアドレス生成部機構にアドレスバッファレジスタ(IDQ及びRQQ)と、それぞれのアドレス情報カウンタ(IDQカウンタ及びRQQカウンタ)を設ける事により、間接アドレス命令のベクトルレジスタVRからアドレスバッファレジスタIDQへの読み出し制御は、IDQカウンタの値によって行なわれ、間接アドレス命令及びディスタンス付アドレス命令のリクエストアドレスのためのアドレス生成はRQQカウンタの値によって制御可能にした事によって、従来の様に主記憶制御部までの全体のステージを制御する必要がなくなる為に、すでに前に命令がある場合においても、あらかじめベクトルレジスタからのデータを読んでおくことにより、間接アドレス命令の立上りが早くなり、制御も簡単になる。

4. 図面の簡単な説明

第1図は本発明の1実施例装置のアドレス機構

15

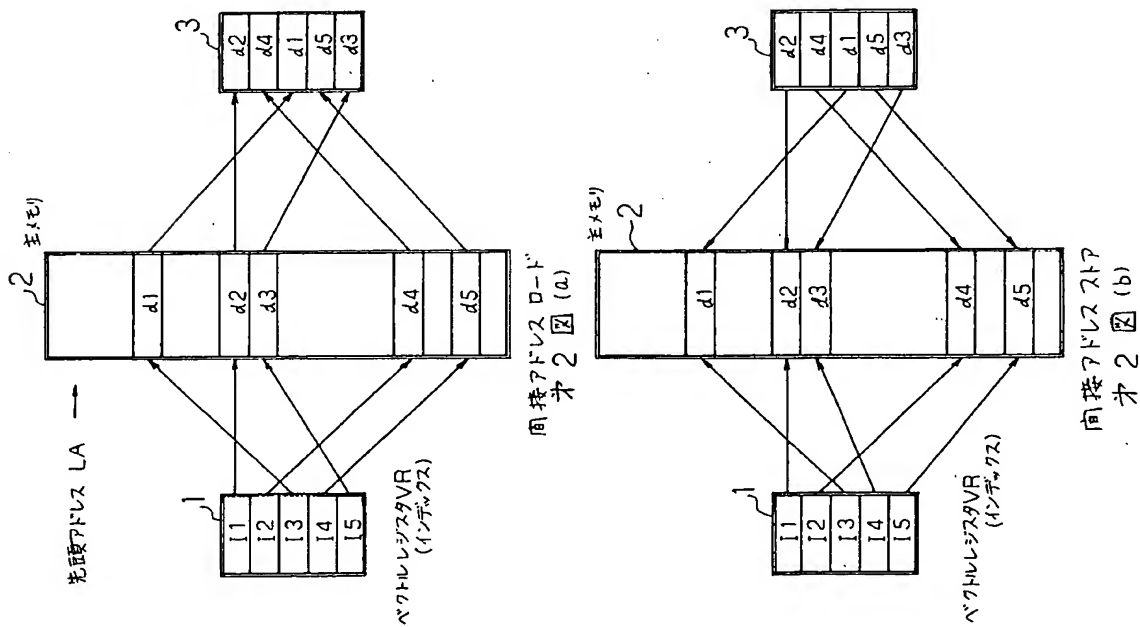
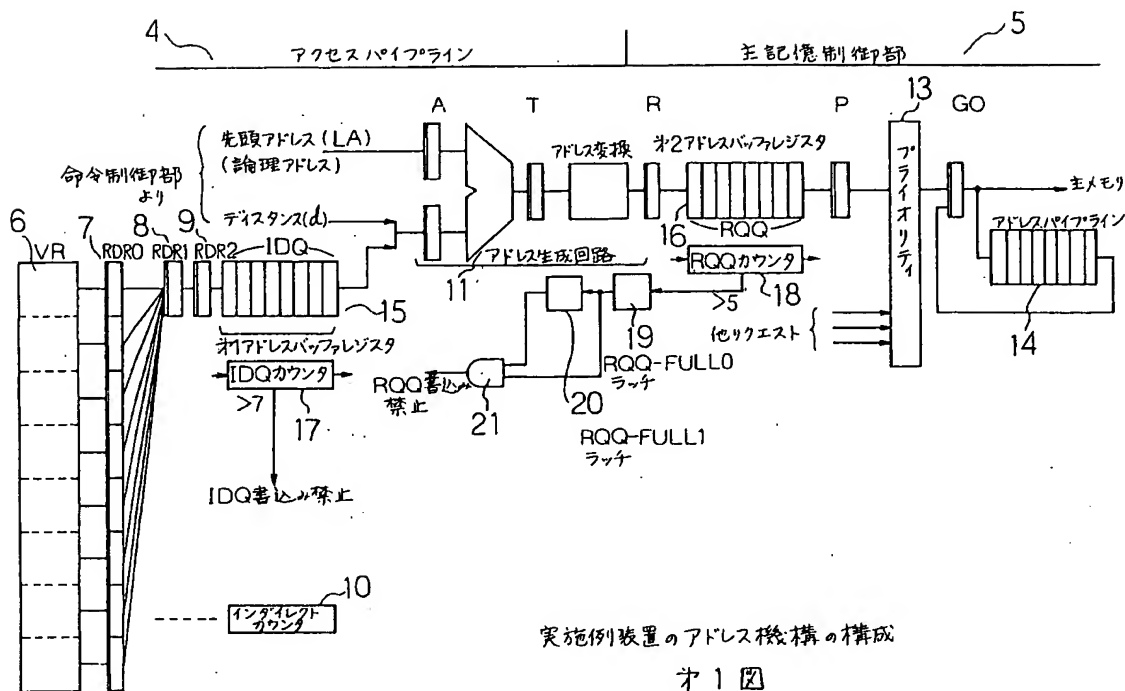
16

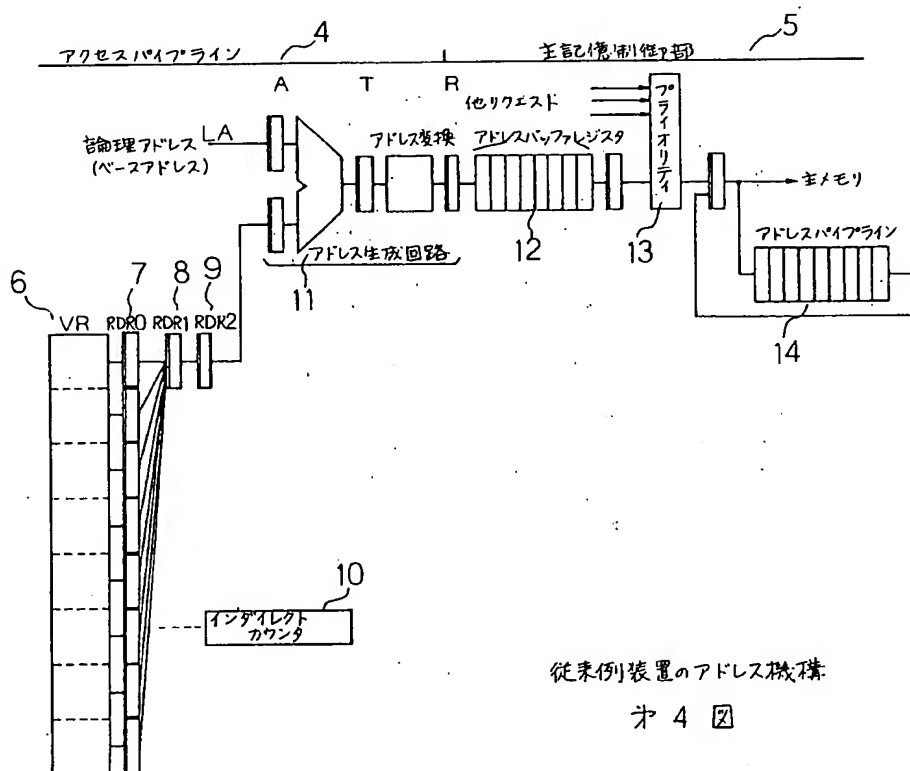
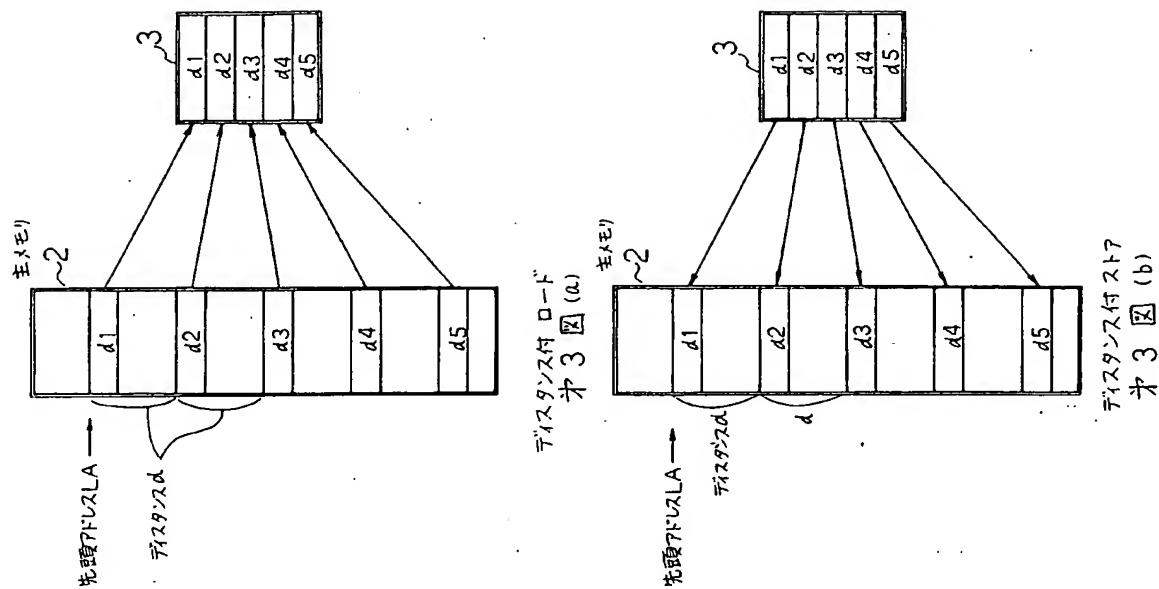
の構成図、第2図(a)および第2図(b)はそれぞれ間接アドレス命令のロード、ストアの機能概要図、第3図(a)および第3図(b)はそれぞれディスタンス付命令のロード、ストアの機能概要図、第4図は従来例装置のアドレス機構の構成図、第5図は間接アドレス命令のアドレスタイムチャート、第6図(a)および第6図(b)はそれぞれAのリリースが連続している場合と途中で止まる場合のIDQカウンタ制御のタイムチャート、第7図はRQQカウンタ制御のタイムチャートである。

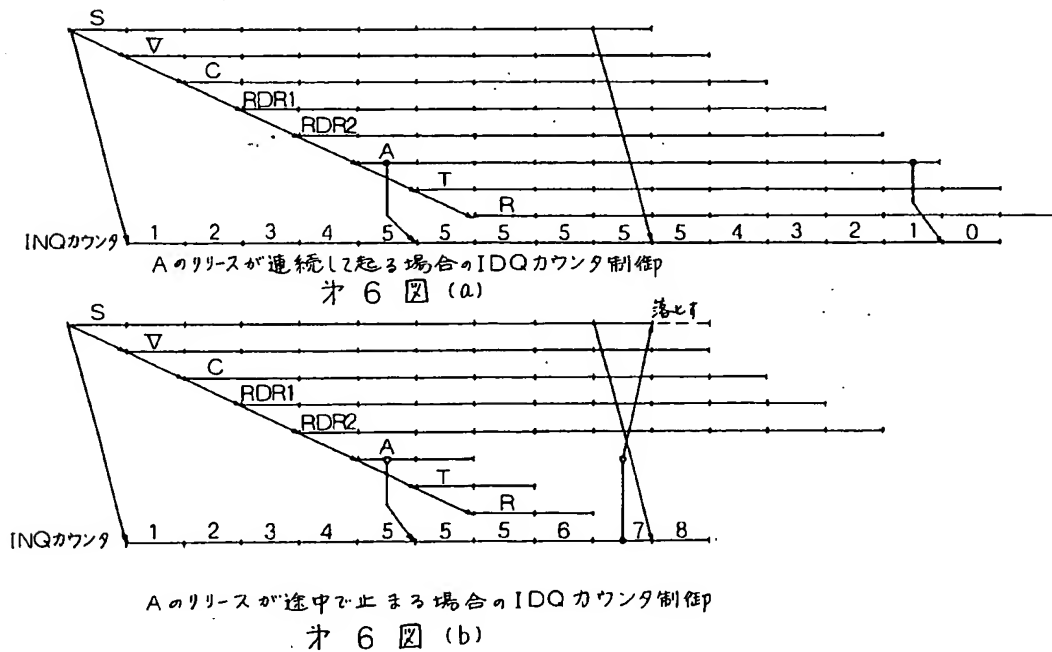
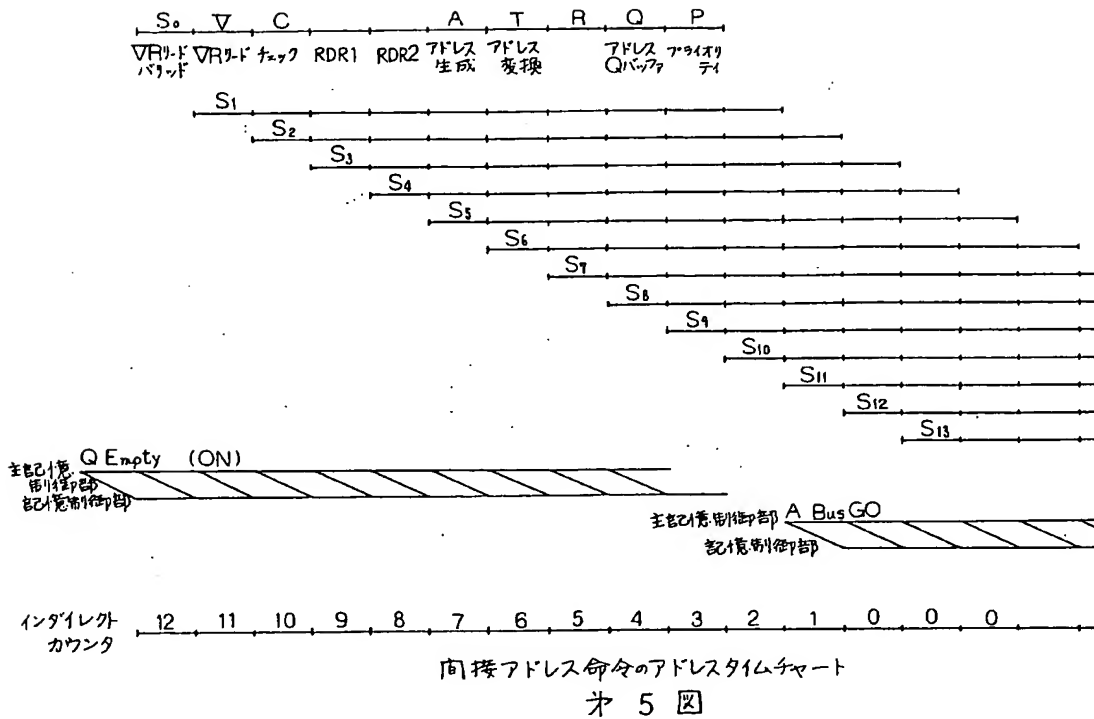
第1図において、6はベクトルレジスタVR、11はアドレス生成回路、13はプライオリティ回路、15は第1アドレスバッファレジスタIDQ、16は第2アドレスバッファレジスタRQQ、17はIDQカウンタ、18はRQQカウンタを表わしている。

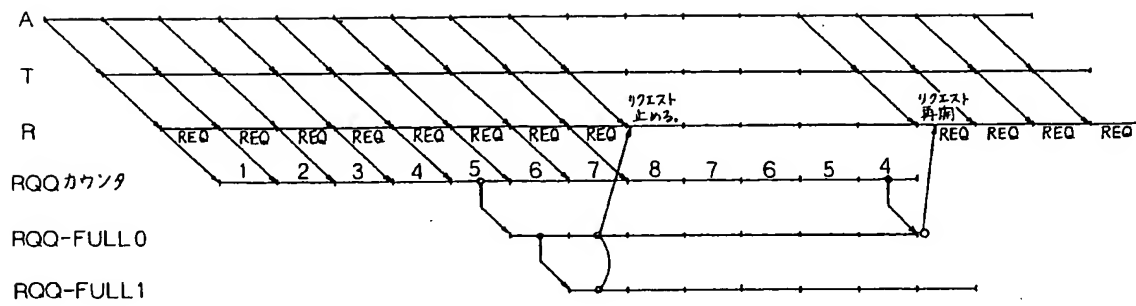
特許出願人 富士通株式会社
代理人弁理士 長谷川 文 廣 (外1名)

17









RQQ カウンタ制御
オ 7 図